

MANUFACTURE OF SEMICONDUCTOR DEVICE

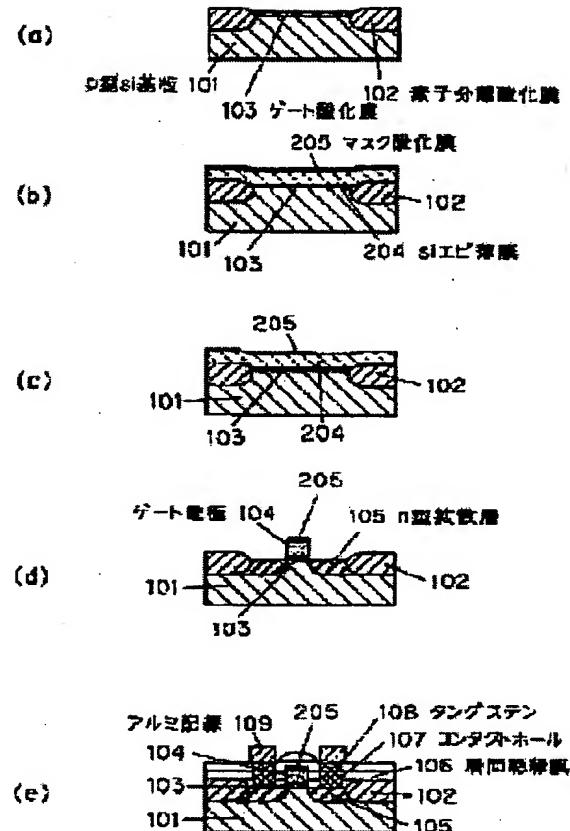
Patent number: JP9283748
Publication date: 1997-10-31
Inventor: MORITA KIYOKI; MORIMOTO TADASHI; ARAKI SEI; YUKI KOICHIRO
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
 - **international:** H01L29/78; H01L21/336; H01L21/306
 - **european:**
Application number: JP19960086175 19960409
Priority number(s): JP19960086175 19960409

[Report a data error here](#)

Abstract of JP9283748

PROBLEM TO BE SOLVED: To provide a method of forming the gate electrode of a fine MOS Tr easily and stably without dispersion.

SOLUTION: A gate oxide film 103 and an epitaxial film 204 are made on a p-type Si substrate 101. A mask oxide film 205 is made at one part of the epitaxial film 204. The p-type Si substrate 101 is installed for three minutes in the mixed aqueous solution of ethylene diamine and pyrocatechol at 80 deg.C. Other than the region protected by a mask oxide film 205 is etched off, and a gate electrode 104 is made. The etching speed of <111> face is lower than other face azimuth in the mixed aqueous solution of ethylene diamine and pyrocatechol, so the width of the gate electrode 104 becomes uniform, and besides the side face of the gate electrode 104 becomes smooth, too.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-283748

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/78			H 01 L 29/78	3 0 1 P
21/336			21/306	B
21/306			29/78	3 0 1 G

審査請求 未請求 請求項の数5 OL (全4頁)

(21)出願番号 特願平8-86175
(22)出願日 平成8年(1996)4月9日

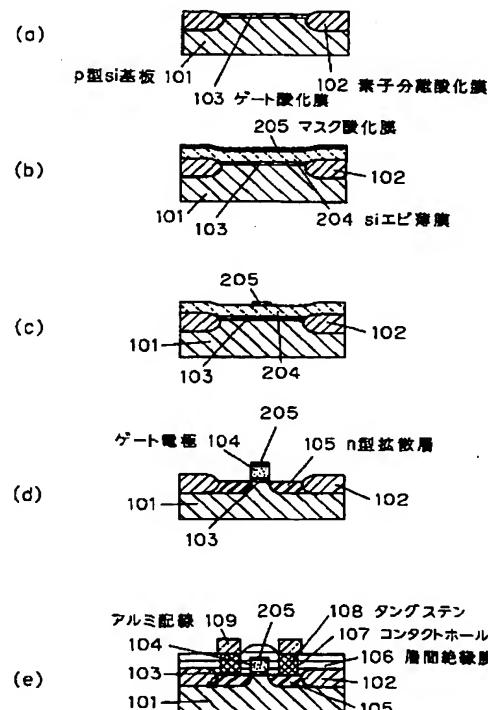
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 森田 清之
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 森本 廉
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 荒木 聖
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 滝本 智之 (外1名)
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 微細MOS Trのゲート電極形成を簡便かつばらつきなく安定して形成する方法を提供する。

【解決手段】 p型Si基板101上にゲート酸化膜103、エピ薄膜204を形成する。エピ薄膜204上的一部分にマスク酸化膜205を形成する。80°Cのエチレンジアミンとピロカテコール混合水溶液中にp型Si基板101を3分間設置する。マスク酸化膜205で保護されている領域以外はエッチオフされ、ゲート電極104が形成される。エチレンジアミンとピロカテコール混合水溶液中では<111>面のエッティング速度が他の面方位と比較して遅いため、ゲート電極104の幅は均一になり、かつゲート電極104側面も平滑になる。



【特許請求の範囲】

【請求項1】 半導体基板上に5nm厚以下のゲート絶縁膜を形成する工程と、ゲート絶縁膜上にエピ薄膜を堆積する工程と、エピ薄膜上的一部分にマスク酸化膜を形成する工程と、面方位異方性エッティング剤を用いてエッティングを行う工程とを備えた半導体装置の製造方法。

【請求項2】 面方位異方性エッティング剤としてエチレンジアミンとピロカテコール混合水溶液を用いる請求項1の半導体装置の製造方法。

【請求項3】 エピ薄膜上的一部分にマスク酸化膜を形成する工程として、前記エピ薄膜の酸化とフォトエッチ工程を用いる請求項1の半導体装置の製造方法。

【請求項4】 エピ薄膜上的一部分にマスク酸化膜を形成する工程として、前記エピ薄膜上への酸化膜の堆積とフォトエッチ工程を用いる請求項1の半導体装置の製造方法。

【請求項5】 エピ薄膜上的一部分にマスク酸化膜を形成する工程として、前記半導体表面に設置されたエピ薄膜表面近傍にAFM装置のプローブ針を設置し、プローブ針と前記エピ薄膜の間に電圧を印可したまま、プローブ針を前記基板正面と平行に移動させる工程を用いる請求項1の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関するものであり、特に微細MOS Trのゲート電極形成を簡便かつばらつきなく安定して形成できる方法に関するものである。

【0002】

【従来の技術】 近年LSIに対する高速化、低消費電力化の要求が強くなっている。現在主流であるCMOS LSIの高速化、低消費電力化を両立させるためには、いわゆるスケーリング則に沿って微細化を進めることができが不可欠である。CMOS LSIの微細化で一番困難なのは、ゲート電極形成である。従来のゲート電極形成は、ゲート酸化膜を形成した半導体基板上へポリシリコン薄膜堆積と、半導体基板上へのレジストパターン転写と、前記レジストパターンをマスクとしたドライエッチによる電極加工の少なくとも3工程からなる。薄膜堆積に関しては、ゲート電極低抵抗化のためにポリシリコン薄膜堆積に続いて金属とシリコン化合物の堆積を行う場合がある。レジストパターン転写に関しては、光源の短波長化によりレジストパターン微細化への対応が行われている。光源は、現在使用されている水銀からKrF、ArFエキシマレーザへと置き換わる。一方、ドライエッチの方はプラズマ生成の方法は変更の可能性があるが、本質的には同じメカニズムを用いる。

【0003】

【発明が解決しようとする課題】 従来の方法により形成されたゲート電極には、約10%の線幅のばらつきがあつ

た。これは、レジストパターン転写時のレジスト寸法のばらつきによるものと、ドライエッチによる電極加工時のエッティングばらつきによるものの両方が含まれている。中でも、ゲート電極のポリシリコンの粒界に起因するばらつきが無視できなくなっている。粒界の凹凸のため粒界に沿ってレジストの形状が変形したり、粒界での組成変化によりドライエッチレートが部分的に変化してゲート線幅が変化する場合がある。ゲート電極の線幅はMOSトランジスタのゲート長に相当する。よって前記線幅のばらつきはLSI性能のばらつきとなって表れる。現在0.35μmルール級のCMOS LSIが量産されつつあるが、微細化をさらに進めて0.1μmルール級のCMOS LSIを実現するためには、0.1μm長のゲート電極をばらつきなく安定して形成することが不可欠となる。従来の方法を用いる限り、このばらつきを少なくすることはできない。

【0004】 本発明は、従来の欠点を克服して、微細MOS Trのゲート電極形成を簡便かつばらつきなく安定させた半導体装置の製造方法を提供することを目的とするものである。

【0005】

【課題を解決するための手段】 この課題を解決するためには、本発明の半導体装置の製造方法は、半導体基板上に5nm厚以下のゲート絶縁膜を形成する工程と、ゲート絶縁膜上にエピ薄膜を堆積する工程と、エピ薄膜上的一部分にマスク酸化膜を形成する工程と、面方位異方性エッティング剤を用いてエッティングを行う工程とを備えることにより、微細MOS Trのゲート電極形成を簡便かつばらつきなく安定して形成することができる。

【0006】

【発明の実施の形態】

(実施の形態1) 本発明の実施例を図面を用いて説明する。図1(a)～(e)は本発明による半導体装置の製造方法における半導体装置の作製工程図である。

【0007】 図1(a)において、正面に<110>の面方位を持つp型Si基板101上にLOCOS法等を用いて素子分離酸化膜102を形成する。次に、MOSトランジスタのゲート絶縁膜として4nm厚のゲート酸化膜103を形成する。

【0008】 図1(b)において、ゲート酸化膜103上にエピ薄膜204を300nm厚形成する。p型Si基板101上にゲート酸化膜103が形成されて領域は通常エピ薄膜204の結晶性が揃わず、ポリシリコンとなるが、ゲート酸化膜103が4nm以下の薄い領域では、ゲート酸化膜103を通してp型Si基板101のポテンシャルを感じてエピタキシャル成長が可能となる。エピ薄膜204上に50nm厚のシリコン酸化膜堆積によりマスク酸化膜205を形成する。

【0009】 図1(c)において、通常のフォトエッチによりマスク酸化膜205を一部のみ残してエッチオフする。

【0010】 図1(d)において、80°Cのエチレンジアミンとピロカテコール混合水溶液中にp型Si基板101を3分間設置する。マスク酸化膜205で保護されている領域以外

はエッチオフされ、ゲート電極104が形成される。ゲート側面は<111>面が露出する。エチレンジアミンとピロカテコール混合水溶液中では<111>面のエッチング速度が他の面方位と比較して遅いため、ゲート電極104の幅は均一になり、かつゲート電極104側面も平滑になる。

【0011】図1(e)において、素子分離酸化膜102とゲート電極104をマスクにして、イオン注入法により、Asを40KeVで 4×10^{15} ドーズを注入し、850°C、30分間の熱拡散によりn型拡散層105を形成する。層間絶縁膜106として800nm厚のシリコン酸化膜を形成し、通常のフォトエッチによりコンタクトホール107を開口し、選択タンゲステン堆積によりタンゲステン106をコンタクトホール107内に充填後、スパッタと通常のフォトエッチにより、800nm厚のアルミ配線109を形成する。

【0012】本発明による方法では、従来の方法のようにゲート電極にポリシリコンを使用しない。よって、ポリシリコンの粒界に起因するゲート電極の線幅ばらつきは生じなくなる。また面方位異方性のエッチングを用いるため、マスク酸化膜205の線幅に多少のばらつきがあっても、エッチングによりばらつきはなくなってしまう。エッチングにより、<111>以外の結晶面方向はすぐにエッチングされてしまうためである。よって、本発明による方法を用いれば、ゲート酸化膜上へのエピ薄膜成長と面方位異方性エッチングにより微細MOS Trのゲート電極形成を簡便かつ安定して形成できる方法を提供することができる。

【0013】本実施の形態ではマスク酸化膜205の形成にシリコン酸化膜堆積を用いたが、エピ薄膜204の酸化を用いても良い。また、AFM装置を用いた電界支援酸化を用いても良い。その場合、半導体表面に設置されたエピ薄膜表面近傍にAFM装置のプローブ針を設置し、プロ

ーブ針を設置電位として前記エピ薄膜に+9V程度の電圧を印可し、プローブ針を前記基板主面と平行に移動させる。また本実施の形態では、面方位異方性エッチング剤としてエチレンジアミンとピロカテコール混合水溶液を用いたが、エッチング速度が面方位により異なり、特定の面方位のエッチング速度が他の面方位と比較して非常に遅ければ、KOHやTMAHなど他の溶液を用いてもよい。この場合、主面の面方位を溶液の異方性によって変更する必要があることは言うまでもない。

10 【0014】

【発明の効果】以上に述べたように、本発明による方法を用いると、ゲート電極材料としてエピ薄膜を用い、面方位異方性エッチング剤を用いてエッチングを行うことにより、面方位によるエッチング速度の違いによりゲート電極の幅は均一になり、かつゲート電極側面も平滑になる。よって、微細MOS Trのゲート電極形成を簡便かつばらつきなく安定して形成することができる。

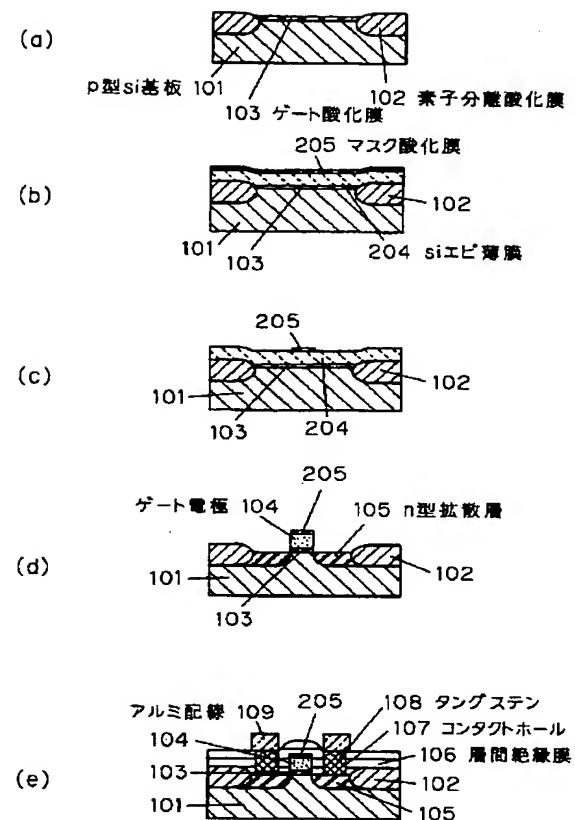
【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体装置の作製工程図

【符号の説明】

101	p型Si基板
102	素子分離酸化膜
103	ゲート酸化膜
104	ゲート電極
105	n型拡散層
106	層間絶縁膜
107	コンタクトホール
108	タンゲステン
109	アルミ配線
205	マスク酸化膜

【図1】



フロントページの続き

(72)発明者 幸 康一郎

大阪府門真市大字門真1006番地 松下電器

産業株式会社内